



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002076902 A**

(43) Date of publication of application: **15.03.02**

(51) Int. Cl.

H03M 3/02

H03M 1/08

(21) Application number: 2000265935

(71) Applicant: **NEC CORP**

(22) Date of filing: 01.09.00

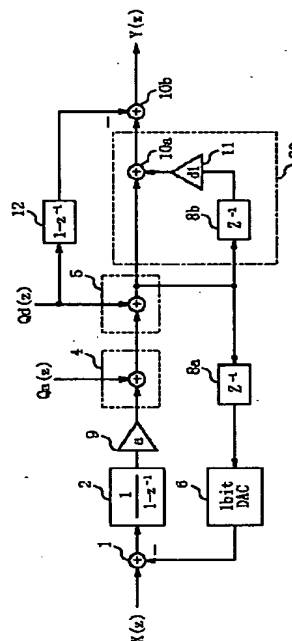
(72) Inventor: **SAKIMURA NOBORU**

(54) MULTIBIT DELTA SIGMA AC CONVERTER

(57) Abstract:

PROBLEM TO BE SOLVED: To resolve the problem in a multibit AC converter disclosed by Lesley such that, since it performs one bit feedback, the output amplitude of an integrator becomes large and there is a necessity to attenuate it to a certain low level in an analog integrator, that the digital quantization noise to be removed leaks, and that this noise is as larger than the quantization noise mixed in the quantizer that the SN ratio deteriorates remarkably.

SOLUTION: This AD converter is equipped with an n-bit quantizer and a most significant bit extractor, and a digital operation which receives the output signal of the extractor and outputs the sum of the output signal and the value obtained by multiplying the output signal outputted a specified time before by a specified coefficient. Therefore, this can lessen the quantization noise within a signal band and can materialize a high conversion efficiency at a low oversampling ratio.



【特許請求の範囲】

【請求項1】 アナログ入力信号とアナログ帰還信号との差を出力するアナログ加算手段と、該アナログ加算手段の出力信号を積分するアナログ積分手段と、該アナログ積分手段の出力を所定の係数で乗算するアナログ乗算手段と、該アナログ乗算手段の出力信号を多ビットで量子化して出力するマルチビット量子化手段と、該マルチビット量子化手段の出力するデジタル出力信号をアナログ信号に変換して次のサンプリング時間における前記アナログ帰還信号として出力するDA変換手段とを備えるマルチビットデルタシグマAD変換器であって、マルチビット量子化手段の出力信号を受け、該出力信号と所定時間前に出力された同出力信号に所定の係数を乗じた値との和を出力するデジタル演算手段を備え、該デジタル演算手段の出力値から所定の量子化雑音を微分した値を減じた値を出力することを特徴とするマルチビットデルタシグマAD変換器。

【請求項2】 該マルチビットデルタシグマAD変換器へのアナログ入力信号を $X(z)$ 、アナログ乗算手段で乗算する係数を a 、マルチビット量子化手段で混入する量子化雑音を $Q(z)$ としたとき、該マルチビットデルタシグマAD変換器の出力 $Y(z)$ は、 $Y(z) = aX(z) + (1 - z^{-1})Q(z)$ である請求項1記載のマルチビットデルタシグマAD変換器。

【請求項3】 前記デジタル演算手段は、マルチビット量子化手段の出力を次のサンプリング時間まで保持する遅延手段と、該遅延手段の出力に係数 $a-1$ を乗じるデジタル乗算手段と、マルチビット量子化手段の出力とデジタル乗算手段の出力との和を出力する第1のデジタル加算手段を備える請求項1または2記載のマルチビットデルタシグマAD変換器。

【請求項4】 前記マルチビット量子化手段は、 n ビット量子化器(n は2以上の整数)とその後段に配置される最上位ビット抽出器を備える請求項1ないし3記載のマルチビットデルタシグマAD変換器。

【請求項5】 DA変換手段は、マルチビット量子化手段の出力を次のサンプリング時間まで保持する遅延手段と、該遅延手段の出力をアナログ信号に変換する1ビットDA変換器を備える請求項1ないし4記載のマルチビットデルタシグマAD変換器。

【請求項6】 最上位ビット抽出器で混入する量子化雑音を微分するデジタル微分手段と、該デジタル微分手段の出力とデジタル演算手段の出力との差を出力する第2のデジタル加算手段を備え、該第2のデジタル加算手段の出力が該マルチビットデルタシグマAD変換器の出力である請求項4または5記載のマルチビットデルタシグマAD変換器。

【請求項7】 アナログ信号とアナログ帰還信号とが入力しこれら信号の差を出力するアナログ加算手段と、該

アナログ加算手段の出力信号を積分するアナログ積分手段と、該アナログ積分手段の出力を所定の係数で乗算するアナログ乗算手段を備える構成部分が k 段(k は正の整数)縦続接続しており、 k 段目のアナログ乗算手段の出力信号を多ビットで量子化して出力するマルチビット量子化手段と、該マルチビット量子化手段の出力するデジタル出力信号をアナログ信号に変換して次のサンプリング時間における前記アナログ帰還信号として前記 k 個のアナログ加算手段へ出力するDA変換手段とを備えるマルチビットデルタシグマAD変換器であって、マルチビット量子化手段の出力信号を受け、該出力信号と所定時間前に出力された同出力信号に所定の係数を乗じた値との和を出力し、さらに順次前記加算出力値に対してさらに同様の加算処理を $k-1$ 回行うデジタル演算手段を備え、該デジタル演算手段の出力値から所定の量子化雑音を微分した値を減じた値を出力することを特徴とするマルチビットデルタシグマAD変換器。

【請求項8】 該マルチビットデルタシグマAD変換器へのアナログ入力信号を $X(z)$ 、前記1番目から k 番目のそれぞれのアナログ乗算手段において乗算する係数を a_1, a_2, \dots, a_k 、マルチビット量子化手段で混入する量子化雑音を $Q(z)$ としたとき、該マルチビットデルタシグマAD変換器の出力 $Y(z)$ は、 $Y(z) = (a_1 a_2 \dots a_k) X(z) + (1 - z^{-1})^k Q(z)$ である請求項7記載のマルチビットデルタシグマAD変換器。

【請求項9】 前記デジタル演算手段は、 $k=2$ のとき、マルチビット量子化手段の出力を次のサンプリング時間まで保持する第1の遅延手段と、該第1の遅延手段の出力に係数 $(a_1 a_2 + a_2 - 2)$ を乗じる第1のデジタル乗算手段と、マルチビット量子化手段の出力と該第1のデジタル乗算手段の出力との和を出力する第1のデジタル加算手段と、第1の遅延手段の出力を更に次のサンプリング時間まで保持する第2の遅延手段と、該第2の遅延手段の出力に係数 $1 - a_2$ を乗じる第2のデジタル乗算手段と、第1のデジタル加算手段の出力と第2のデジタル乗算手段の出力との和を出力する第2のデジタル加算手段を備える請求項7または8記載のマルチビットデルタシグマAD変換器。

【請求項10】 前記デジタル演算手段は、 $k=3$ のとき、マルチビット量子化手段の出力を次のサンプリング時間まで保持する第1の遅延手段と、該第1の遅延手段の出力に係数 $(a_1 a_2 a_3 + a_2 a_3 + a_3 - 3)$ を乗じる第1のデジタル乗算手段と、マルチビット量子化手段の出力と該第1のデジタル乗算手段の出力との和を出力する第1のデジタル加算手段と、第1の遅延手段の出力を次のサンプリング時間まで保持する第2の遅延手段と、該第2の遅延手段の出力に係数 $(3 - a_2 a_3 - 2 a_3)$ を乗じる第2のデジタル乗算手段と、第1のデジタル加

算手段の出力と第2のデジタル乗算手段の出力との和を出力する第2のデジタル加算手段と、第2の遅延手段の出力を次のサンプリング時間まで保持する第3の遅延手段と、該第3の遅延手段の出力に係数 a_3-1 を乗じる第3のデジタル乗算手段と、第2のデジタル加算手段の出力と第3のデジタル乗算手段の出力との和を出力する第3のデジタル加算手段を備える請求項7または8記載のマルチビットデルタシグマAD変換器。

【請求項11】 前記マルチビット量子化手段は、 n ビット量子化器(n は2以上の整数)とその後段に配置される最上位ビット抽出器を備える請求項7ないし10記載のマルチビットデルタシグマAD変換器。

【請求項12】 DA変換手段は、マルチビット量子化手段の出力を次のサンプリング時間まで保持する遅延手段と、該遅延手段の出力をアナログ信号に変換する1ビットDA変換器を備える請求項7ないし11記載のマルチビットデルタシグマAD変換器。

【請求項13】 最上位ビット抽出器で混入する量子化雑音を微分する第1のデジタル微分手段と、該第1のデジタル微分手段の出力を微分する第2のデジタル微分手段と、該第2のデジタル微分手段の出力とデジタル演算手段の出力との差を出力する第3のデジタル加算手段を備え、該第3のデジタル加算手段の出力が該AD変換器の出力である請求項9記載のマルチビットデルタシグマAD変換器。

【請求項14】 最上位ビット抽出器で混入する量子化雑音を微分する第1のデジタル微分手段と、該第1のデジタル微分手段の出力を微分する第2のデジタル微分手段と、該第2のデジタル微分手段の出力を微分する第3のデジタル微分手段と、該第3のデジタル微分手段の出力とデジタル演算手段の出力との差を出力する第4のデジタル加算手段を備え、該第4のデジタル加算手段の出力が該AD変換器の出力である請求項10記載のマルチビットデルタシグマAD変換器。

【請求項15】 アナログ入力信号とアナログ帰還信号との差を出力するアナログ加算手段と、該アナログ加算手段の出力信号を積分するアナログ積分手段と、該アナログ積分手段の出力を所定の係数で乗算するアナログ乗算手段と、該アナログ乗算手段の出力信号を多ビットで量子化して出力するマルチビット量子化手段と、該マルチビット量子化手段の出力するデジタル出力信号をアナログ信号に変換して次のサンプリング時間における前記アナログ帰還信号として出力するDA変換手段とを備えるマルチビットデルタシグマAD変換器であって、マルチビット量子化手段は、 n ビット量子化器(n は2以上の整数)とその後段に接続する最上位ビット抽出器を備え、

n ビット量子化器(n は2以上の整数)の出力を受け、該出力を所定時間保持する第1の遅延手段と、該第1の遅延手段の出力に所定の係数を乗じる第1のデジタル乗

算手段と、 n ビット量子化器の出力と第1のデジタル乗算手段の出力の和を出力する第1のデジタル加算手段と、最上位ビット抽出器に混入する量子化雑音を入力しこれを所定時間保持する第2の遅延手段と、該第2の遅延手段の出力に所定の係数を乗じる第2のデジタル乗算手段と、第1のデジタル加算手段の出力と第2のデジタル乗算手段の出力の和を該マルチビットデルタシグマAD変換器の出力として出力する第2のデジタル加算手段を備えるデジタル演算手段、

を備えることを特徴とするマルチビットデルタシグマAD変換器。

【請求項16】 該マルチビットデルタシグマAD変換器へのアナログ入力信号を $X(z)$ 、アナログ乗算手段で乗算する係数を a 、第1のデジタル乗算手段で乗算する係数を $a-1$ 、第2のデジタル乗算手段で乗算する係数を a 、 n ビット量子化器で混入する量子化雑音を $Qa(z)$ としたとき、該マルチビットデルタシグマAD変換器の出力 $Y(z)$ は、

$$Y(z) = aX(z) + (1-z^{-1})Qa(z)$$

である請求項15記載のマルチビットデルタシグマAD変換器。

【請求項17】 アナログ入力信号とアナログ帰還信号との差を出力するアナログ加算手段と、該アナログ加算手段の出力信号を積分するアナログ積分手段と、該アナログ積分手段の出力を所定の係数で乗算するアナログ乗算手段を備える構成部分が継続して2段配置され、後段のアナログ乗算手段の出力信号を多ビットで量子化して出力するマルチビット量子化手段と、該マルチビット量子化手段の出力するデジタル出力信号をアナログ信号に変換して次のサンプリング時間における前記アナログ帰還信号として各アナログ加算手段へ出力するDA変換手段とを備えるマルチビットデルタシグマAD変換器であって、

マルチビット量子化手段は、 n ビット量子化器(n は2以上の整数)とその後段に接続する最上位ビット抽出器を備え、

n ビット量子化器(n は2以上の整数)の出力を受け、該出力を所定時間保持する第1の遅延手段と、該第1の遅延手段の出力に所定の係数を乗じる第1のデジタル乗算手段と、 n ビット量子化器の出力と第1のデジタル乗算手段の出力の和を出力する第1のデジタル加算手段と、第1の遅延手段の出力を所定時間保持する第2の遅延手段と、該第2の遅延手段の出力に所定の係数を乗じる第2のデジタル乗算手段と、第1のデジタル加算手段の出力と第2のデジタル乗算手段の出力の和を出力する第2のデジタル加算手段と、最上位ビット抽出器に混入する量子化雑音を入力しこれに所定の係数を乗じる第3のデジタル乗算手段と、該第3のデジタル乗算手段の出力を所定時間保持する第3の遅延手段と、第2のデジタル加算手段の出力と該第3の遅延手段の出力の和を出力

する第3のデジタル加算手段と、第3の遅延手段の出力に所定の係数を乗じる第4のデジタル乗算手段と、第3のデジタル加算手段の出力と該第4のデジタル乗算手段の出力の和を出力する第4のデジタル加算手段と、第3の遅延手段の出力を所定時間保持する第4の遅延手段と、第4のデジタル加算手段の出力と該第4の遅延手段の出力の和を該マルチビットデルタシグマAD変換器の出力として出力する第5のデジタル加算手段を備えるデジタル演算手段、を備えることを特徴とするマルチビットデルタシグマAD変換器。

【請求項18】 該マルチビットデルタシグマAD変換器へのアナログ入力信号を $X(z)$ 、1番目および2番目のアナログ乗算手段で乗算する係数をそれぞれ a_1 、 a_2 、第1から第4のデジタル乗算手段で乗算する係数をそれぞれ、 $a_1 a_2 + a_2 - 2$ 、 $1 - a_1$ 、 a_2 、 a_1 、 n ビット量子化器で混入する量子化雑音を $Q_a(z)$ としたとき、該マルチビットデルタシグマAD変換器の出力 $Y(z)$ は、 $Y(z) = a_1 a_2 X(z) + (1 - z^{-1})^2 Q_a(z)$ である請求項17記載のマルチビットデルタシグマAD変換器。

【請求項19】 アナログ入力信号とアナログ帰還信号との差を出力するアナログ加算手段と、該アナログ加算手段の出力信号を積分するアナログ積分手段と、該アナログ積分手段の出力を所定の係数で乗算するアナログ乗算手段を備える構成部分が連続して3段配置され、後段のアナログ乗算手段の出力信号を多ビットで量子化して出力するマルチビット量子化手段と、該マルチビット量子化手段の出力するデジタル出力信号をアナログ信号に変換して次のサンプリング時間における前記アナログ帰還信号として各アナログ加算手段へ出力するDA変換手段とを備えるマルチビットデルタシグマAD変換器であって、

マルチビット量子化手段は、 n ビット量子化器(n は2以上の整数)とその後段に接続する最上位ビット抽出器を備え、

n ビット量子化器(n は2以上の整数)の出力を受け、該出力を所定時間保持する第1の遅延手段と、該第1の遅延手段の出力に所定の係数を乗じる第1のデジタル乗算手段と、 n ビット量子化器の出力と第1のデジタル乗算手段の出力の和を出力する第1のデジタル加算手段と、第1の遅延手段の出力を所定時間保持する第2の遅延手段と、該第2の遅延手段の出力に所定の係数を乗じる第2のデジタル乗算手段と、第1のデジタル加算手段の出力と第2のデジタル乗算手段の出力の和を出力する第2のデジタル加算手段と、第2の遅延手段の出力を所定時間保持する第3の遅延手段と、該第3の遅延手段の出力に所定の係数を乗じる第3のデジタル乗算手段と、第2のデジタル加算手段の出力と第3のデジタル乗算手

段の出力の和を出力する第3のデジタル加算手段と、最上位ビット抽出器に混入する量子化雑音を入力しこれに所定の係数を乗じる第4のデジタル乗算手段と、該第4のデジタル乗算手段の出力を所定時間保持する第4の遅延手段と、該第4の遅延手段の出力に所定の係数を乗じる第4のデジタル乗算手段と、第3のデジタル加算手段の出力と該第4のデジタル乗算手段の出力の和を出力する第4のデジタル加算手段と、第4の遅延手段の出力を所定時間保持する第5の遅延手段と、該第5の遅延手段の出力に所定の係数を乗じる第5のデジタル乗算手段と、第4のデジタル加算手段の出力と該第5のデジタル乗算手段の出力の和を出力する第5のデジタル加算手段と、第5の遅延手段の出力を所定時間保持する第6の遅延手段と、第5のデジタル加算手段の出力と該第6の遅延手段の出力の和を該マルチビットデルタシグマAD変換器の出力として出力する第6のデジタル加算手段を備えるデジタル演算手段、を備えることを特徴とするマルチビットデルタシグマAD変換器。

【請求項20】 該マルチビットデルタシグマAD変換器へのアナログ入力信号を $X(z)$ 、1番目から3番目のアナログ乗算手段で乗算する係数をそれぞれ a_1 、 a_2 、 a_3 、第1から第6のデジタル乗算手段で乗算する係数をそれぞれ、 $a_1 a_2 a_3 + a_2 a_3 + a_3 - 3$ 、 $3 - a_2 a_3 - 2 a_3$ 、 $a_3 - 1$ 、 a_3 、 $a_1 a_2 + a_2 + 1$ 、 $a_2 + 2$ 、 n ビット量子化器で混入する量子化雑音を $Q_a(z)$ としたとき、該マルチビットデルタシグマAD変換器の出力 $Y(z)$ は、 $Y(z) = a_1 a_2 a_3 X(z) + (1 - z^{-1})^3 Q_a(z)$ である請求項19記載のマルチビットデルタシグマAD変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログデジタル変換回路に関し、特にオーバーサンプリング方式とノイズシェーピング方式を組み合わせたデルタシグマ型AD変換器に関する。

【0002】

【従来の技術】オーバーサンプリング型AD変換器は、サンプリング周波数を信号帯域の2倍の周波数であるナイキスト周波数より非常に高い周波数にすることで、信号帯域内の量子化雑音を小さくでき、高精度の変換を実現できる。つまり、信号電力対雑音電力(以下SN比と記す)が増加する。これは、以下による理由による。

【0003】

アナログ信号をデジタル信号に変換する量子化器で発生した量子化雑音は、不規則に発生し、全ての周波数領域に分布する白色雑音である。オーバーサンプリングAD変換器のサンプリング周波数を f_s とすると、 $DC \sim f_s/2$ に雑音電力は分布する。信号帯域に

比バサンプリング周波数が非常に高ければそれだけ信号帯域内の雑音電力は小さくなる。また、信号帯域外に分布している雑音電力は、一般に後段に設けられるデシメーションフィルタにより除去することができる。

【0004】従って、サンプリング周波数 f_s とナイキスト周波数 f_n との比（以下オーバーサンプル比と記す）が大きければ大きいほどSN比は増加する。

【0005】オーバーサンプリング型AD変換器の一種であるデルタシグマAD変換器は、DC $\sim f_s/2$ に分布している雑音電力に対するハイパスフィルタの周波数特性を持ち、低域の雑音電力をさらに小さくする技術である。従って、信号帯域内の雑音電力はより一層低減する。一般に信号帯域内の雑音電力を信号帯域外へ追いやる技術はノイズシェーピング技術として知られている。

【0006】図10に従来のデルタシグマAD変換器の

$$Y(z) = X(z) + (1 - z^{-1})Q(z) \quad \cdots \cdots (1)$$

この場合、閉ループ内にあるアナログ積分器は1つであるため、1次のノイズシェーピングを実現する。例えば、閉ループ内に2つのアナログ積分器を有するデルタシグマAD変換器は2次のノイズシェーピングを実現し、さらに信号帯域内の雑音抑圧力を高めることができる。

【0008】ナイキスト周波数でサンプリングするナイキストサンプリング型AD変換器では、電圧軸上の回路の精度で変換精度が決まってしまう。しかし、オーバーサンプリング形デルタシグマAD変換器では、オーバーサンプル比を大きくしたり、ノイズシェーピングの次数を増やすことでSN比を増加させることができる。つまり、時間軸上で変換精度を高くする技術であるため、電圧軸上での回路の精度は緩和できる。そのため、ナイキストサンプリング型AD変換器の変換精度は12ビット程度が限界であるが、オーバーサンプリング型AD変換器ではそれ以上の変換精度を実現できる。例えば、信号帯域が約20kHzのオーディオ帯では3次ノイズシェーピングでオーバーサンプル比を64倍とすると、サンプリング周波数は約2.5MHzになる。この場合、変換精度は16ビットを十分に実現できる。

$$Y(z) = \{a_1 a_2 a_3 X(z) + (1 - z^{-1})Q(z)\} / f(z)$$

$\cdots \cdots (2)$

ただし、 $f(z) = 1 + (a_1 a_2 a_3 + a_2 a_3 + a_3 - 3)z^{-1} + (3 - a_2 a_3 - 2a_3^2)z^{-2} + (a_3 - 1)z^{-3}$

つまり、各積分器の減衰係数の積 $a_1 a_2 a_3$ の分だけ信号成分が減衰してしまう。これより、次数を高くしても期待されるほどSN比の向上は見込めない。

【0012】次に図12に示すように、1ビット量子化器3と1ビットDA変換器6の代わりに、多値でアナログ信号をデジタル信号に変換する n ビット量子化器4と、多値のデジタル信号を多値のアナログ信号に変換す

$$Y(z) = X(z) + E(z) + (1 - z^{-1})Q'(z) \quad \cdots \cdots (3)$$

基本構成を示す。アナログ入力信号 $X(z)$ と帰還部にある1ビットDA変換器との差を求めるアナログ加算器1と、アナログ加算器1の出力を積分するアナログ積分器2と、アナログ積分器2の出力をデジタル値に変換する1ビット量子化器3と、1ビット量子化器3の出力を次のサンプリング時間まで保持する遅延器8と、遅延器8の1ビットデータを2値のアナログ信号に変換する1ビットDA変換器6を備えている。1ビット量子化器3のデジタル出力がデルタシグマAD変換器の出力 $Y(z)$ となる。また、アナログ積分器2は、低周波成分のみを通過させ高周波成分を遮断するローパスフィルタの特性を有する。この構成の伝達関数を求めると、次式1のようになる。

【0007】

【0009】しかし、変換精度を保ったまま変換可能な信号帯域がどこまで拡張できるか考えると、せいぜい数100kHzが限界である。例えば、信号帯域1MHzで上記と同等の変換精度を実現しようとする、3次ノイズシェーピングでサンプリング周波数は128MHzになってしまう。この時、積分器に用いられるオペアンプのユニティゲイン周波数は500MHz程度が必要となる。このようなオペアンプを設計するのは非常に困難であり、また消費電力が著しく増加する。ノイズシェーピングの次数を4次、5次と高くすればオーバーサンプル比をもっと低くできる。しかし、3次を超えると閉ループが不安定になってしまう。

【0010】これを安定な構成にするには、積分器に減衰係数 $(0 < a_i < 1)$ を設けて各積分器の出力振幅が大きくなりすぎないようにする必要がある。例えば、図11は3次ノイズシェーピングを実現する安定性を考慮したデルタシグマAD変換器の基本構成である。アナログ積分器を3と備え、各アナログ積分器の後段にアナログ乗算器9a、9b、9cを設置する。この伝達関数は次式2で表される。

【0011】

る n ビットDA変換器7を用いたマルチビットデルタシグマAD変換器が知られている。この変換器は、量子化器の分解能をあげることで量子化雑音 $Q'(z)$ は小さくなり、全ての周波数領域に分布する雑音電力は低減される。一般に、 n ビット量子化器4の分解能を1ビット上げるごとに6dBづつのSN比の向上がある。しかし、 n ビットDA変換器7には非線形性誤差 $E(z)$ がある。図12のマルチビットデルタシグマAD変換器の伝達関数は次式3のようになる。

【0013】

nビットDA変換器7の非線形誤差 $E(z)$ はアナログ信号 $X(z)$ にそのまま加算され、ノイズシェーピングされない。つまり、この非線形性によってSN比は著しく劣化してしまい、nビットDA変換器7にはAD変換器の変換精度と同等の精度が必要になる。このようなnビットDA変換器7を実現するのは非常に困難を伴い、回路規模を著しく増大させる。例えば、nビットDA変換器7を集積回路で実現する場合、多くのキャパシタで実現する。16ビットのDA変換器を 2^{16} 個の $5\mu\text{m}$ 角の単位キャパシタを用いて構成した場合、製造プロセスで制御しなければならない寸法ばらつきは 4.9nm であり、これは実現困難な値である。また、このような小さい単位キャパシタを用いてもキャパシタ全体の寸法は 1.3mm 角の広い面積を使ってしまう。

【0014】この問題を解決する1つの技術が、「アンインブルーブド シグマデルタモジュレータ アキテクチャ」1990、IEEE、ISCAS、pp372~375及び米国特許4987416に開示されている。図13に、上記技術のうち1次の基本構成を示す。

$$Y'(z) = X(z) + (1-z^{-1})Qa(z) - z^{-1}Qd(z) \cdots (4)$$

従って、AD変換器出力 $Y(z)$ の伝達関数は次式5のようになる。

$$Y(z) = X(z) + (1-z^{-1})Qa(z) \cdots \cdots (5)$$

すなわち、 $Qa(z)$ よりもはるかに大きい $Qd(z)$ が除去される。この方式では、最上位ビットのみを帰還するため、1ビットDA変換器6を用いることができる。1ビットDA変換器6は2値のアナログ値を出力するため、非線形誤差 $E(z)$ は本質的に混入しない。式15は式13で $E(z)=0$ としたときの伝達関数と等しくなり、従来のマルチビットデルタシグマAD変換器と同等のSN比が期待できる。

【0017】図14は図13の同形である。アナログ加算器1は、アナログ信号 $X(z)$ から1ビットDA変換器6が提供する帰還信号を減じる。アナログ加算器1の出力はアナログ積分器2に提供され、その出力はnビット量子化器4においてデジタル化される。ここで、量子化雑音 $Qa(z)$ が混入する。nビット量子化器4の

$$Y''(z) = X(z) + (1-z^{-1})Qa(z) + (1-z^{-1})Qd(z) \cdots \cdots (6)$$

従って、このAD変換器の出力 $Y(z)$ の伝達関数は次式7のようになる。

$$Y(z) = X(z) + (1-z^{-1})Qa(z) \cdots \cdots (7)$$

すなわち式17は式15と等しく、図13に示す構成と同等の性能を有する。

【0020】同様に、上記文献で開示されている2次および3次ノイズシェーピングの構成をそれぞれ図15、

$$Y(z) = X(z) + (1-z^{-1})^2 Qa(z) \cdots \cdots (8)$$

また、図16、図18に示す構成の伝達関数は次式9で表される。

$$Y(z) = X(z) + (1-z^{-1})^3 Qa(z) \cdots \cdots (9)$$

アナログ加算器1は、アナログ信号 $X(z)$ から1ビットDA変換器6が提供する帰還信号を減じる。アナログ加算器1の出力はアナログ積分器2に送られ、その出力はnビット量子化器4においてデジタル化される。ここで、量子化雑音 $Qa(z)$ が混入する。nビット量子化器4のnビット出力は最上位ビット抽出器5で最上位ビットのみが検出される。ここで、デジタル的な量子化雑音 $Qd(z)$ が混入する。この最上位ビットは遅延器8aで次のサンプリング時間まで保持され、2値のアナログ値に変換する1ビットDA変換器6に送られる。最上位ビット抽出器5で混入した $Qd(z)$ は遅延器8bで次のサンプリング時間まで保持され、次のサンプリング時間におけるnビット量子化器4の出力とデジタル加算器10で加算される。このデジタル加算器出力がAD変換器の出力 $Y(z)$ となる。ここで、nビット量子化器4の出力信号を $Y'(z)$ とすると、 $Y'(z)$ の伝達関数は次式4のようになる。

【0015】

【0016】

nビット出力は最上位ビット抽出器5で最上位ビットのみが検出される。ここで、さらにデジタル的な量子化雑音 $Qd(z)$ が混入する。この最上位ビットは遅延器8aで次のサンプリング時間まで保持され、2値のアナログ値に変換する1ビットDA変換器6に提供される。最上位ビット抽出器5で混入する $Qd(z)$ は微分器12に送られ、1サンプリング時間前の $Qd(z)$ との差が出力される。最上位ビット抽出器5の出力と微分器12の出力との差をデジタル加算器10で求め、これがAD変換器の出力 $Y(z)$ となる。最上位ビット抽出器5の出力を $Y''(z)$ とすると、 $Y''(z)$ の伝達関数は次式6のようになる。

【0018】

【0019】

図16に示す。また、これらの同形をそれぞれ図17、図18に示す。図15、図17に示す構成の伝達関数は次式8で表される。

【0021】

【0022】

【0023】

【発明が解決しようとする課題】しかし上記文献が開示した方式は以下のような問題点を有している。従来の1ビット量子化器を用いたデルタシグマAD変換器では、積分器出力が量子化器の1つのしきい値レベルと大小を比較して量子化を行う。従って、積分器出力の振幅には制限はなく、いくら大きくなっても量子化器の出力結果は変わらない。しかし、マルチビット・デルタシグマAD変換器の場合、量子化器は複数ビットの出力を行うので、複数のしきい値レベルを有している。従って、積分器の出力振幅は量子化器のフルスケールと同程度に抑えられなければならない。例えば、4ビット量子化器を用いた場合、出力されるデジタルデータは16値である。このため、量子化器のしきい値レベルは15レベル必要である。量子化器の入力電圧のフルスケールを $-1\text{V} \sim +1\text{V}$ とすると、1LSBに対応する電圧は 125mV となる。積分器の出力電圧の振幅が、 $-1.0625\text{V} \sim +1.0625\text{V}$ 以内であれば、量子化雑音は $\pm 62.5\text{mV}$ を最大値として一様に分布するが、それ以上であると入力電圧の最大値あるいは最小値付近で量子化雑音が局所的に大きく混入してしまう。これによりSN比は劣化してしまう。

$$Y(z) = \{aX(z) + (1-z^{-1})Qa(z) + (1-a)z^{-1}(1-z^{-1})Qd(z)\} / \{1 + (a-1)z^{-1} + \dots\} \quad (10)$$

式10から、 a の値が小さくなるほど $Qd(z)$ は漏洩してしまう。従って、SN比は著しく劣化してしまう。図21は上記と同じ条件である1次4ビット量子化でアナログ乗算器9aの係数が $a=0.5$ の場合の機能シミュレーション結果である。積分器の振幅は量子化器の入力フルスケール以内に十分抑えられており、正常に量子化が行われているが、デジタル処理を行った後のデジタル出力には $Qd(z)$ が漏洩してしまい、高周波ノイズが混入しているのが分かる。このときに得られたSN比は 47.6dB であった。

【0027】以上より、上記文献が開示された方式の問題点は以下の通りである。まず1ビット帰還であるため、アナログ入力信号との差信号が大きくなり、積分器の出力振幅が大きくなってしまう。積分器の出力振幅は量子化器の入力フルスケール以内に抑える必要があり、積分器にアナログ乗算器9aが必要になる。その係数 a は1より小さい値にしなければならない。このとき、除去されるはずのデジタル的な量子化雑音 $Qd(z)$ は漏洩してしまう。 $Qd(z)$ は量子化器で混入する量子化雑音 Qa よりも非常に大きい値なので著しくSN比が劣化してしまう。

【0028】本発明の目的は以上の点を考慮してなされたものであり、多値のデジタル値を出力する n ビット量子化器を用い、2値のアナログ値を出力する1ビットDA変換器を介して帰還され、そのときに生じるデジタル的な量子化雑音を積分器の減衰係数によらず除去するこ

【0024】上記文献が開示した方式の機能シミュレーションを行った結果を図19に示す。これは、図13あるいは図14に示す1次の構成で、4ビット量子化を行った場合の結果である。量子化器の入力のフルスケールは $-1\text{V} \sim +1\text{V}$ であるが、積分器の出力振幅はそれを超えている。よって、デジタル出力は入力電圧の最大値および最小値に対応する部分に歪みが生じている。これより、SN比は劣化してしまい、1次4ビット量子化4ビット帰還のマルチビットデルタシグマAD変換器において同じ条件でシミュレーションして得られるSN比である 59dB よりも低い 53dB というSN比が得られる。

【0025】この問題を避けるには、AD変換器のアナログ入力の振幅に制限を設けるか、積分器にゲイン係数を a ($0 < a < 1$) で減衰させるアナログ乗算器を追加して積分器出力の振幅を抑えなければならない。前者の方法では、量子化器の入力フルスケール内に積分器の振幅が抑えられたとしても、信号振幅を抑える分だけピークSN比は低いものになってしまう。後者の方法におけるアナログ乗算器を有した構成を図20に示す。この構成における伝達関数は以下の式10ようになる。

【0026】

とができるデジタル処理回路を備えた新規なマルチビットデルタシグマAD変換器を提供することにある。

【0029】

【課題を解決するための手段】上記課題を解決する第1のマルチビットデルタシグマAD変換器は、アナログ入力信号とアナログ帰還信号との差を出力するアナログ加算手段と、該アナログ加算手段の出力信号を積分するアナログ積分手段と、該アナログ積分手段の出力を所定の係数で乗算するアナログ乗算手段と、該アナログ乗算手段の出力信号を多ビットで量子化して出力するマルチビット量子化手段と、該マルチビット量子化手段の出力するデジタル出力信号をアナログ信号に変換して次のサンプリング時間における前記アナログ帰還信号として出力するDA変換手段とを備えるマルチビットデルタシグマAD変換器であり、マルチビット量子化手段の出力信号を受け、該出力信号と所定時間前に出力された同出力信号に所定の係数を乗じた値との和を出力するデジタル演算手段を備え、該デジタル演算手段の出力値から所定の量子化雑音を微分した値を減じた値を出力する。

【0030】上記AD変換器では、アナログ入力信号を $X(z)$ 、アナログ乗算手段で乗算する係数を a 、マルチビット量子化手段で混入する量子化雑音を $Q(z)$ としたとき、該マルチビットデルタシグマAD変換器の出力 $Y(z)$ は、 $Y(z) = aX(z) + (1-z^{-1})Q(z)$ である。

【0031】また上記デジタル演算手段は、マルチビッ

ト量子化手段の出力を次のサンプリング時間まで保持する遅延手段と、該遅延手段の出力に係数 $a-1$ を乗じるデジタル乗算手段と、マルチビット量子化手段の出力とデジタル乗算手段の出力との和を出力する第1のデジタル加算手段を備えることができる。

【0032】次に、第2のマルチビットデルタシグマAD変換器は、アナログ入力信号とアナログ帰還信号とが入力しこれら信号の差を出力するアナログ加算手段と、該アナログ加算手段の出力信号を積分するアナログ積分手段と、該アナログ積分手段の出力を所定の係数で乗算するアナログ乗算手段を備える構成部分がk段(kは正の整数)縦続接続しており、k段目のアナログ乗算手段の出力信号を多ビットで量子化して出力するマルチビット量子化手段と、該マルチビット量子化手段の出力するデジタル出力信号をアナログ信号に変換して次のサンプリング時間における前記アナログ帰還信号として前記k個のアナログ加算手段へ出力するDA変換手段とを備えるマルチビットデルタシグマAD変換器であり、マルチビット量子化手段の出力信号を受け、該出力信号と所定時間前に出力された同出力信号に所定の係数を乗じた値との和を出力し、さらに順次前記加算出力値に対してさらに同様の加算処理をk-1回行うデジタル演算手段を備え、該デジタル演算手段の出力値から所定の量子化雑音を微分した値を減じた値を出力する。

【0033】上記AD変換器では、該AD変換器へのアナログ入力信号を $X(z)$ 、1番目からk番目のそれぞれのアナログ乗算手段において乗算する係数を a_1 、 a_2 、…… a_k 、マルチビット量子化手段で混入する量子化雑音を $Q(z)$ としたとき、該マルチビットデルタシグマAD変換器の出力 $Y(z)$ は、 $Y(z) = (a_1 a_2 \dots a_k) X(z) + (1-z^{-1})^k Q(z)$ である。

【0034】また、該第2のAD変換器のデジタル演算手段は、 $k=2$ のとき、マルチビット量子化手段の出力を次のサンプリング時間まで保持する第1の遅延手段と、該第1の遅延手段の出力に係数 $(a_1 a_2 + a_2 - 2)$ を乗じる第1のデジタル乗算手段と、マルチビット量子化手段の出力と該第1デジタル乗算手段の出力との和を出力する第1のデジタル加算手段と、第1の遅延手段の出力を更に次のサンプリング時間まで保持する第2の遅延手段と、該第2の遅延手段の出力に係数 $1 - a_2$ を乗じる第2のデジタル乗算手段と、第1のデジタル加算手段の出力と第2のデジタル乗算手段の出力との和を出力する第2のデジタル加算手段を備える。

【0035】また同デジタル演算手段は、 $k=3$ のとき、マルチビット量子化手段の出力を次のサンプリング時間まで保持する第1の遅延手段と、該第1の遅延手段の出力に係数 $(a_1 a_2 a_3 + a_2 a_3 + a_3 - 3)$ を乗じる第1のデジタル乗算手段と、マルチビット量子化手段の出力と該第1のデジタル乗算手段の出力との和を出力する

第1のデジタル加算手段と、第1の遅延手段の出力を次のサンプリング時間まで保持する第2の遅延手段と、該第2の遅延手段の出力に係数 $(3 - a_2 a_3 - 2 a_3)$ を乗じる第2のデジタル乗算手段と、第1のデジタル加算手段の出力と第2のデジタル乗算手段の出力との和を出力する第2のデジタル加算手段と、第2の遅延手段の出力を次のサンプリング時間まで保持する第3の遅延手段と、該第3の遅延手段の出力に係数 $a_3 - 1$ を乗じる第3のデジタル乗算手段と、第2のデジタル加算手段の出力と第3のデジタル乗算手段の出力との和を出力する第3のデジタル加算手段を備える。

【0036】第3のマルチビットデルタシグマAD変換器は、アナログ入力信号とアナログ帰還信号との差を出力するアナログ加算手段と、該アナログ加算手段の出力信号を積分するアナログ積分手段と、該アナログ積分手段の出力を所定の係数で乗算するアナログ乗算手段と、該アナログ乗算手段の出力信号を多ビットで量子化して出力するマルチビット量子化手段と、該マルチビット量子化手段の出力するデジタル出力信号をアナログ信号に変換して次のサンプリング時間における前記アナログ帰還信号として出力するDA変換手段とを備えるマルチビットデルタシグマAD変換器であって、マルチビット量子化手段は、nビット量子化器(nは2以上の整数)とその後段に接続する最上位ビット抽出器を備え、nビット量子化器(nは2以上の整数)の出力を受け、該出力を所定時間保持する第1の遅延手段と、該第1の遅延手段の出力に所定の係数を乗じる第1のデジタル乗算手段と、nビット量子化器の出力と第1のデジタル乗算手段の出力の和を出力する第1のデジタル加算手段と、最上位ビット抽出器に混入する量子化雑音を入力しこれを所定時間保持する第2の遅延手段と、該第2の遅延手段の出力に所定の係数を乗じる第2のデジタル乗算手段と、第1のデジタル加算手段の出力と第2のデジタル乗算手段の出力の和を該マルチビットデルタシグマAD変換器の出力として出力する第2のデジタル加算手段を備えるデジタル演算手段を備える。

【0037】また該第3のAD変換器では、アナログ入力信号を $X(z)$ 、アナログ乗算手段で乗算する係数を a 、第1のデジタル乗算手段で乗算する係数を $a-1$ 、第2のデジタル乗算手段で乗算する係数を a 、nビット量子化器で混入する量子化雑音を $Q_a(z)$ としたとき、該マルチビットデルタシグマAD変換器の出力 $Y(z)$ は、 $Y(z) = aX(z) + (1-z^{-1})Q_a(z)$ である。

【0038】第4のマルチビットデルタシグマAD変換器は、アナログ入力信号とアナログ帰還信号との差を出力するアナログ加算手段と、該アナログ加算手段の出力信号を積分するアナログ積分手段と、該アナログ積分手段の出力を所定の係数で乗算するアナログ乗算手段を備える構成部分が縦続して2段配置され、後段のアナログ

乗算手段の出力信号を多ビットで量子化して出力するマルチビット量子化手段と、該マルチビット量子化手段の出力するデジタル出力信号をアナログ信号に変換して次のサンプリング時間における前記アナログ帰還信号として各アナログ加算手段へ出力するDA変換手段とを備えるマルチビットデルタシグマAD変換器であって、マルチビット量子化手段は、 n ビット量子化器(n は2以上の整数)とその後段に接続する最上位ビット抽出器を備え、 n ビット量子化器(n は2以上の整数)の出力を受け、該出力を所定時間保持する第1の遅延手段と、該第1の遅延手段の出力に所定の係数を乗じる第1のデジタル乗算手段と、 n ビット量子化器の出力と第1のデジタル乗算手段の出力の和を出力する第1のデジタル加算手段と、第1の遅延手段の出力を所定時間保持する第2の遅延手段と、該第2の遅延手段の出力に所定の係数を乗じる第2のデジタル乗算手段と、第1のデジタル加算手段の出力と第2のデジタル乗算手段の出力の和を出力する第2のデジタル加算手段と、最上位ビット抽出器に混入する量子化雑音を入力しこれに所定の係数を乗じる第3のデジタル乗算手段と、該第3のデジタル乗算手段の出力を所定時間保持する第3の遅延手段と、第2のデジタル加算手段の出力と該第3の遅延手段の出力の和を出力する第3のデジタル加算手段と、第3の遅延手段の出力に所定の係数を乗じる第4のデジタル乗算手段と、第3のデジタル加算手段の出力と該第4のデジタル乗算手段の出力の和を出力する第4のデジタル加算手段と、第3の遅延手段の出力を所定時間保持する第4の遅延手段と、第4のデジタル加算手段の出力と該第4の遅延手段の出力の和を該マルチビットデルタシグマAD変換器の出力として出力する第5のデジタル加算手段を備える。該AD変換器では、アナログ入力信号を $X(z)$ 、1番目および2番目のアナログ乗算手段で乗算する係数をそれぞれ a_1 、 a_2 、第1から第4のデジタル乗算手段で乗算する係数をそれぞれ a_1 、 $a_2 + a_2 - 2$ 、 $1 - a_1$ 、 a_2 、 a_1 、 n ビット量子化器で混入する量子化雑音を $Qa(z)$ としたとき、該マルチビットデルタシグマAD変換器の出力 $Y(z)$ は、 $Y(z) = a_1 a_2 X(z) + (1 - z^{-1})^2 Qa(z)$ である。

【0039】第5のマルチビットデルタシグマAD変換器は、アナログ入力信号とアナログ帰還信号との差を出力するアナログ加算手段と、該アナログ加算手段の出力信号を積分するアナログ積分手段と、該アナログ積分手段の出力を所定の係数で乗算するアナログ乗算手段を備える構成部分が継続して3段配置され、後段のアナログ乗算手段の出力信号を多ビットで量子化して出力するマルチビット量子化手段と、該マルチビット量子化手段の出力するデジタル出力信号をアナログ信号に変換して次のサンプリング時間における前記アナログ帰還信号として各アナログ加算手段へ出力するDA変換手段とを備え

るマルチビットデルタシグマAD変換器であって、マルチビット量子化手段は、 n ビット量子化器(n は2以上の整数)とその後段に接続する最上位ビット抽出器を備え、 n ビット量子化器(n は2以上の整数)の出力を受け、該出力を所定時間保持する第1の遅延手段と、該第1の遅延手段の出力に所定の係数を乗じる第1のデジタル乗算手段と、 n ビット量子化器の出力と第1のデジタル乗算手段の出力の和を出力する第1のデジタル加算手段と、第1の遅延手段の出力を所定時間保持する第2の遅延手段と、該第2の遅延手段の出力に所定の係数を乗じる第2のデジタル乗算手段と、第1のデジタル加算手段の出力と第2のデジタル乗算手段の出力の和を出力する第2のデジタル加算手段と、第2の遅延手段の出力を所定時間保持する第3の遅延手段と、該第3の遅延手段の出力に所定の係数を乗じる第3のデジタル乗算手段と、第2のデジタル加算手段の出力と第3のデジタル乗算手段の出力の和を出力する第3のデジタル加算手段と、最上位ビット抽出器に混入する量子化雑音を入力しこれに所定の係数を乗じる第4のデジタル乗算手段と、該第4のデジタル乗算手段の出力を所定時間保持する第4の遅延手段と、該第4の遅延手段の出力に所定の係数を乗じる第4のデジタル乗算手段と、第3のデジタル加算手段の出力と該第4のデジタル乗算手段の出力の和を出力する第4のデジタル加算手段と、第4の遅延手段の出力を所定時間保持する第5の遅延手段と、該第5の遅延手段の出力に所定の係数を乗じる第5のデジタル乗算手段と、第4のデジタル加算手段の出力と該第5のデジタル乗算手段の出力の和を出力する第5のデジタル加算手段と、第5の遅延手段の出力を所定時間保持する第6の遅延手段と、第5のデジタル加算手段の出力と該第6の遅延手段の出力の和を該マルチビットデルタシグマAD変換器の出力として出力する第6のデジタル加算手段を備えるデジタル演算手段を備える。

【0040】該AD変換器へのアナログ入力信号を $X(z)$ 、1番目から3番目のアナログ乗算手段で乗算する係数をそれぞれ a_1 、 a_2 、 a_3 、第1から第6のデジタル乗算手段で乗算する係数をそれぞれ、 $a_1 a_2 a_3 + a_2 a_3 + a_3 - 3$ 、 $3 - a_2 a_3 - 2 a_3$ 、 $a_3 - 1$ 、 a_3 、 $a_1 a_2 + a_2 + 1$ 、 $a_2 + 2$ 、 n ビット量子化器で混入する量子化雑音を $Qa(z)$ としたとき、該マルチビットデルタシグマAD変換器の出力 $Y(z)$ は、 $Y(z) = a_1 a_2 a_3 X(z) + (1 - z^{-1})^3 Qa(z)$ である。

【0041】上記構成のマルチビットデルタシグマAD変換器によって、信号帯域内の量子化雑音を小さくすることができ、低オーバーサンプル比で高い変換精度を実現する。

【0042】

【発明の実施の形態】図面を参照して、この発明の実施の形態について説明する。

【0043】図1は、本発明の第1の実施形態であるマルチビットデルタシグマAD変換器の構成を表すブロック図である。

【0044】このマルチビットデルタシグマAD変換器では、アナログ入力信号がアナログ加算器1に入力し、アナログ加算器1はアナログ入力信号と1ビットDA変換器6の出力との差を求める。アナログ加算器1にはアナログ積分器2が接続し、アナログ積分器2はアナログ加算器1の出力を積分する。アナログ積分器2にはアナログ乗算器9、nビット量子化器4（nは2以上の整数）、最上位ビット抽出器5がシリーズに接続する。アナログ乗算器9はアナログ積分器2の出力を任意の定数aで乗算し、nビット量子化器4はアナログ乗算器9の出力をnビットで量子化し、最上位ビット抽出器5はnビット量子化器4の出力の最上位ビットのみを出力する。該出力は遅延器8a、8b、及びデジタル加算器10aに送られる。遅延器8aは、最上位ビット抽出器5の出力を次のサンプリング時間まで保持する。遅延器8aの出力は1ビットDA変換器6に送られる。遅延器8b、デジタル加算器10a、およびこれらの間に配置されるデジタル乗算器11がデジタル演算部20を構成する。遅延器8bは、最上位ビット抽出器5の出力を次のサンプリング時間まで保持する。デジタル乗算器11は遅延器8bの出力信号を係数d1（ $d1 = a - 1$ ）で乗算する。デジタル加算器10aは、最上位ビット抽出器

$$\{1 + (a - 1)z^{-1}\} Y1(z) = aX(z) + (1 - z^{-1})Qa(z) + (1 - z^{-1})Qd(z) \dots (11)$$

式11の左辺をデジタル演算部20で演算する。デジタル演算部20では、最上位ビット抽出器5の出力信号Y1(z)と、1つ前のサンプリング時間で出力されたY1(z)を(a-1)倍した値との和を求める。つまり

$$Y2(z) = \{1 + (a - 1)z^{-1}\} Y1(z) \dots (12)$$

式11と式12より、デジタル演算部20の出力信号Y2(z)は、式13のようになる。

$$Y2(z) = aX(z) + (1 - z^{-1})Qa(z) + (1 - z^{-1})Qd(z) \dots (13)$$

ここで、最上位ビット抽出器5に混入する量子化雑音Qd(z)を取り出し、デジタル微分器12で微分を行う。デジタル微分器12の出力をY3(z)とすると、デジタル微分器12の伝達関数は式14のようになる。

【0049】

$$Y3(z) = (1 - z^{-1})Qd(z) \dots (14)$$

$$Y(z) = Y2(z) - Y3(z) = aX(z) + (1 - z^{-1})Qa(z) \dots (15)$$

式15より、nビット量子化器4で混入する量子化雑音Qa(z)は1次のノイズシェーピングを受ける。最上位ビット抽出器5に混入したデジタル的な量子化雑音Qd(z)は、aの値に関わらず完全に除去される。またQa(z)は、Qd(z)に比べてはるかに小さい値であり、Qd(z)が完全に除去されることによる変換精

度の向上効果は高い。さらにQa(z)はnビット量子化器4の分解能をあげるほど小さくなるので、より一層の変換精度の向上が可能である。

【0045】次に、図1のマルチビットデルタシグマAD変換器の動作を説明する。アナログ加算器1はアナログ入力信号X(z)と1ビットDA変換器6との差を求める。この差分信号は、アナログ積分器2で積分され、アナログ積分器2の出力振幅がnビット量子化器4のフルスケール内に入るようにアナログ乗算器9が任意の定数aで乗じる。nビット量子化器4はアナログ乗算器9のアナログ出力を2ⁿ値のデジタル信号に量子化し、最上位ビット抽出器5はその最上位ビットのみを出力する。この出力が帰還部にある1ビットDA変換器6の入力信号となる。1ビットDA変換器6は、最上位ビット抽出器5で出力した1ビットの最上位ビットデータを2値のアナログ値に変換する。ここで、nビット量子化器4に混入する量子化雑音をQa(z)、最上位ビット抽出器5で混入する量子化雑音をQd(z)、最上位ビット抽出器5の出力信号をY1(z)とすると、伝達関数は次式11のようになる。

【0046】

$$\{1 + (a - 1)z^{-1}\} Y1(z) = aX(z) + (1 - z^{-1})Qa(z) + (1 - z^{-1})Qd(z) \dots (11)$$

デジタル演算部20の出力をY2(z)とすると、デジタル演算部20の伝達関数は式12のようになる。

【0047】

【0048】

最後にデジタル加算器10bにより、デジタル演算部20の出力信号Y2(z)とデジタル微分器12の出力信号Y3(z)との差を求めると、AD変換器の出力Y(z)は、式15になる。

【0050】

度度の向上効果は高い。さらにQa(z)はnビット量子化器4の分解能をあげるほど小さくなるので、より一層の変換精度の向上が可能である。

【0051】図2は、図1のブロック図を実現する回路構成例である。一般にデルタシグマAD変換器はスイッチ・キャパシタ回路（以下SC回路と記す）により実

現される。SC回路により、アナログ加算器1とアナログ積分器2とアナログ乗算器9と1ビットDA変換器6を同時に実現することができる。アナログ加算器1はCinに充電される電荷とCdaに充電される電荷の極性を逆にすることで実現できる。この両キャパシタの電荷の和(差信号)をC0に充電することで積分する。またアナログ乗算器9の任意定数aは以下の式16で表される。

$$【0052】 a = C_{in} / C_0 \quad \cdots \cdots (16)$$

nビット量子化器4は、比較器を複数並列に配置し、複数のリファレンス電圧と比較することでサーモメータ型の量子化器が構成される。また最上位ビット抽出器5は、最上位ビットのみを出力するか符号ビットのみを出力する。ここで、最上位ビットとnビット量子化器4のnビット出力との差(=Qd)をデジタル加算器10aで求める。最上位ビットのデータにより、1ビットDA変換器6の参照電圧を選択する。またデジタル演算部20やデジタル微分器12で用いられる遅延器はDFF回路により実現できる。デジタル乗算器11は1ビットのデータを定数倍するだけであるから最上位ビットのデータにより係数値を出力するだけで良い。また、aが2のべき乗で表される値であれば、シフトレジスタ等を用いてビットをずらすだけで実現できる。デジタル加算器10b、10cは(n+2)ビット分の加算器であれば十分である。

【0053】図3は、図1に示す本発明の構成例における機能シミュレーションによって得られた各部の波形図である。シミュレーションは、オーバーサンプル比が32倍で4ビット量子化、a=0.5によるものである。図3のAD変換器出力の波形には、図19や図21で見られた歪みやQdの漏洩はない。

【0054】図4は、図1に示す本発明の構成例における機能シミュレーションによって得られたSN特性図である。横軸は量子化器の分解能を示し、縦軸はSN比を示す。シミュレーションは、オーバーサンプル比が32

$$\begin{aligned} & \{1 + (a_1 a_2 + a_2 - 2) z^{-1} + (1 - a_2) z^{-2}\} Y_1(z) \\ & = a_1 a_2 X(z) + (1 - z^{-1})^2 Q_a(z) + (1 - z^{-1})^2 Q_d(z) \\ & \quad \cdots \cdots (17) \end{aligned}$$

式17は、 $d_2 = a_1 a_2 + a_2 - 2$ 、 $d_3 = 1 - a_2$ とすると、以下の式18のように表すことができる。

$$\begin{aligned} & \{1 + d_2 z^{-1} + d_3 z^{-2}\} Y_1(z) \\ & = a_1 a_2 X(z) + (1 - z^{-1})^2 Q_a(z) + (1 - z^{-1})^2 Q_d(z) \\ & \quad \cdots \cdots (18) \end{aligned}$$

式18の左辺にある演算をデジタル演算部20で行う。つまり、デジタル演算部20は、最上位ビット抽出器5の出力信号Y1(z)と、1つ前のサンプリング時間に出力されたY1(z)をd2倍した値と、2つ前のサンプリング時間に出力されたY1(z)をd3倍した値の

$$Y_2(z) = a_1 a_2 X(z) + (1 - z^{-1})^2 Q_a(z) + (1 - z^{-1})^2 Q_d(z)$$

で、a=0.5である。上記文献が開示した構成よりも高い変換精度が得られており、理想的なマルチビットDA変換器を用いたと仮定する従来のマルチビットデルタシグマAD変換器と同等のSN比を得ていることが示される。

【0055】図5は本発明の第2の実施形態であるマルチビットデルタシグマAD変換器の構成を表すブロック図である。

【0056】これは、nビット量子化器で混入する量子化雑音Qa(z)に対して2次のノイズシェーピングを実現する。このマルチビットデルタシグマAD変換器は、図5に示すように、入力信号X(z)が入力するアナログ加算器1a、アナログ積分器2a、アナログ乗算器9aがシリーズで接続し、その後段には同じようにアナログ加算器1b、アナログ積分器2b、アナログ乗算器9bが接続している。この後にさらにnビット量子化器4と、最上位ビット抽出器5とが継続する。ここでも遅延器8aが最上位ビット抽出器5の出力を次のサンプリング時間まで保持し、その出力は1ビットDA変換器6を介してアナログ加算器1a、1bに送られる。最上位ビット抽出器5の後段にはデジタル演算部20が配置される。デジタル演算部20では、最上位ビット抽出器5の出力を受ける遅延器8bおよびデジタル加算器10aとその間にデジタル乗算器11aが配置され、その後段にこれと同じ配置で遅延器8c、デジタル乗算器11b、デジタル加算器10bを備える。またデジタル演算部20の出力とデジタル微分器12a、12bの出力の差を出力するデジタル加算器10cを備える。

【0057】nビット量子化器4において量子化雑音Qa(z)が混入し、最上位ビット抽出器5において量子化雑音Qd(z)が混入する。この2つの量子化雑音は2つの積分器の作用により2次のノイズシェーピングを受け、最上位ビット抽出器5の出力をY1(z)とすると、伝達関数は以下の式17のようになる。

【0058】

【0059】

総和を出力する。このデジタル演算部20の出力をY2(z)とすると、伝達関数は以下の式19のようになる。

【0060】

..... (19)

最上位ビット抽出器5で混入した $Q_d(z)$ を2つのデジタル微分器12a、12bにより2次の微分を行う

$$Y_3(z) = (1 - z^{-1})^2 Q_d(z) \quad \text{..... (20)}$$

最後に、デジタル加算器10cにより $Y_2(z)$ と $Y_3(z)$ との差を求めることにより、デジタル出力 $Y(z)$ が求まる。式19と式20より、 $Y(z)$ におけ

$$Y(z) = a_1 a_2 X(z) + (1 - z^{-1})^2 Q_a(z) \quad \text{..... (21)}$$

式21から判るように、量子化雑音 $Q_d(z)$ は、付加したデジタル演算部20とデジタル微分器12a、12bの作用により完全に除去される。 $Q_d(z)$ よりもはるかに小さい $Q_a(z)$ は2次のノイズシェーピングを実現し、図1の構成よりも高い変換精度を実現できる。

【0063】図6は本発明の第3の実施形態であるマルチビットデルタシグマAD変換器の構成を表すブロック図である。このAD変換器は、nビット量子化器に混入する量子化雑音 $Q_a(z)$ に対して3次のノイズシェーピングを実現する。具体的な構成は、図5のAD変換器において、アナログ加算器1b、アナログ積分器2bおよびアナログ乗算器9bが接続している後段に、さらにアナログ加算器1c、アナログ積分器2cおよびアナロ

$$\begin{aligned} & \{1 + (a_1 a_2 a_3 + a_2 a_3 + a_3 - 3) z^{-1} \\ & + (3 - a_2 a_3 - 2 a_3) z^{-2} + (a_3 - 1) z^{-3}\} Y_1(z) \\ & = a_1 a_2 a_3 X(z) + (1 - z^{-1})^3 Q_a(z) + (1 - z^{-1})^3 Q_d(z) \end{aligned} \quad \text{..... (22)}$$

式22は、 $d_4 = a_1 a_2 a_3 + a_2 a_3 + a_3 - 3$ 、 $d_5 = 3 - a_2 a_3 - 2 a_3$ 、 $d_6 = a_3 - 1$ とすると、以下の

$$\begin{aligned} & \{1 + d_4 z^{-1} + d_5 z^{-2} + d_6 z^{-3}\} Y_1(z) \\ & = a_1 a_2 a_3 X(z) + (1 - z^{-1})^3 Q_a(z) + (1 - z^{-1})^3 Q_d(z) \end{aligned} \quad \text{..... (23)}$$

式23の左辺にある演算をデジタル演算部20で行う。つまり、デジタル演算部20は最上位ビット抽出器5の出力信号 $Y_1(z)$ と、1つ前のサンプリング時間に出力された $Y_1(z)$ を d_4 倍した値と、2つ前のサンプリング時間に出力された $Y_1(z)$ を d_5 倍した値と、

$$\begin{aligned} & Y_2(z) \\ & = a_1 a_2 a_3 X(z) + (1 - z^{-1})^3 Q_a(z) + (1 - z^{-1})^3 Q_d(z) \end{aligned} \quad \text{..... (24)}$$

最上位ビット抽出器5で混入した $Q_d(z)$ を3つのデジタル微分器により3次の微分を行うと、その出力 Y_3

$$Y_3(z) = (1 - z^{-1})^3 Q_d(z) \quad \text{..... (25)}$$

最後にデジタル加算器10dにより $Y_2(z)$ と $Y_3(z)$ との差を求め、デジタル出力 $Y(z)$ が求まる。

式24と式25より、 $Y(z)$ における伝達関数は以下

$$Y(z) = a_1 a_2 a_3 X(z) + (1 - z^{-1})^3 Q_a(z) \quad \text{..... (26)}$$

式26から判るように、量子化雑音 $Q_d(z)$ は、付加したデジタル演算部20とデジタル微分器の作用により完全に除去される。また $Q_d(z)$ よりもはるかに小さい $Q_a(z)$ は3次のノイズシェーピングを実現し、上述の第2の実施形態よりもさらに高い変換精度を実現で

と、その出力 $Y_3(z)$ は以下の式20ようになる。

【0061】

る伝達関数は以下の式21ようになる。

【0062】

グ乗算器9cを縦続した構成であり、1ビットDA変換器6の出力がアナログ加算器1cにも送られる。同様に、デジタル微分器12a、12bの後段にデジタル微分器12cがさらに配置され、またデジタル演算部20には遅延器8d、デジタル乗算器11c、デジタル加算器10cがさらに同様の構成で配置されている。

【0064】nビット量子化器4に量子化雑音 $Q_a(z)$ が混入し、最上位ビット抽出器5に量子化雑音 $Q_d(z)$ が混入する。この2つの量子化雑音は3つの積分器の作用により3次のノイズシェーピングを受け、最上位ビット抽出器5の出力を $Y_1(z)$ とすると伝達関数は以下の式22ようになる。

【0065】

式23のように表すことができる。

【0066】

3つ前のサンプリング時簡に出力された $Y_1(z)$ を d_6 倍した値との総和を出力する。このデジタル演算部20の出力を $Y_2(z)$ とすると伝達関数は以下の式24ようになる。

【0067】

(z)は以下の式25ようになる。

【0068】

の式26ようになる。

【0069】

きる。

【0070】以上の図1、図5、図6に関する記述から判るように、それぞれk個のアナログ加算手段、アナログ積分手段、アナログ乗算手段を縦続し、またデジタル演算部も図1の基本構成をk段縦続する構成にて、k次

のノイズシェーピングを行うと、デジタル出力 $Y(z)$ は式27のようになることが判る。

【0071】

$$Y(z) = (a_1 a_2 a_3 \cdots a_k) X(z) + (1 - z^{-1})^k Q_a(z) \quad \cdots \cdots (27)$$

図7は本発明の第4の実施形態であるマルチビットデルタシグマAD変換器の構成を表すブロック図である。このAD変換器は、図1の構成と同様に、アナログ入力信号がアナログ加算器1に入力し、アナログ加算器1はアナログ入力信号と1ビットDA変換器6の出力との差を求める。アナログ加算器1にはアナログ積分器2が接続し、アナログ積分器2はアナログ加算器1の出力を積分する。アナログ積分器2にはアナログ乗算器9、 n ビット量子化器4、最上位ビット抽出器5がシリーズに接続する。アナログ乗算器9はアナログ積分器2の出力を任意の定数 a で乗算し、 n ビット量子化器4はアナログ乗算器9の出力を n ビットで量子化し、最上位ビット抽出器5は n ビット量子化器4の出力の最上位ビットのみを出力する。この実施形態では、 n ビット量子化器4の出力 $Y1(z)$ を入力とするデジタル演算部20を備え

る。デジタル演算部20では、 $Y1(z)$ を遅延器8bにより次のサンプリング時間まで保持し、デジタル乗算器11aにより、係数 $d1$ ($d1 = a - 1$) を乗ずる。またデジタル加算器10aは $Y1(z)$ とデジタル乗算器11aの出力との和を出力する。さらに最上位ビット抽出器5に混入する量子化雑音 $Q_d(z)$ を取り出し、遅延器8cにより次のサンプリング時間まで保持し、これをデジタル乗算器11bにより a 倍する。デジタル加算器10bは、デジタル加算器10aの出力とデジタル乗算器11bの出力の和を出力し、これがデジタル演算部20およびこのAD変換器の出力となる。

【0072】ここで $Y1(z)$ における伝達関数を求めると次式28のようになる。

【0073】

$$\{1 + d1 z^{-1}\} Y1(z) = a X(z) + (1 - z^{-1}) Q_a(z) - a z^{-1} Q_d(z) \quad \cdots \cdots (28)$$

デジタル演算部の伝達関数は次式29で表される。

【0074】

$$Y(z) = (1 + d1 z^{-1}) Y1(z) + a z^{-1} Q_d(z) \quad \cdots \cdots (29)$$

式28と式29よりAD変換器の出力 $Y(z)$ は式30のようになる。

【0075】

$$Y(z) = a X(z) + (1 - z^{-1}) Q_a(z) \quad \cdots \cdots (30)$$

式30は式15と全く同じになり、図7に示す構成は第1の実施形態の同形となる。

【0076】図8は本発明の第5の実施形態であるマルチビットデルタシグマAD変換器の構成を表すブロック図である。このAD変換器は、図5に示す構成と同様に、入力信号 $X(z)$ が入力するアナログ加算器1a、アナログ積分器2a、アナログ乗算器9aがシリーズで接続し、その後段には同じようにアナログ加算器1b、アナログ積分器2b、アナログ乗算器9bが接続している。この後にさらに n ビット量子化器4と、最上位ビット抽出器5とが接続する。遅延器8aが最上位ビット抽出器5の出力を次のサンプリング時間まで保持し、その出力は1ビットDA変換器6を介してアナログ加算器1a、1bに送られる。図8の構成では n ビット量子化器4の後段にはデジタル演算部20が配置される。

【0077】デジタル演算部20の構成は次のとおりである。遅延器8bは n ビット量子化器4の出力 $Y1(z)$ を次のサンプリング時間まで保持する。遅延器8bの出力はデジタル乗算器11aにより係数 $d2$ ($d2 = a_1 a_2 + a_2 - 2$) が乗じられる。同様に遅延器8cはさらに次のサンプリング時間まで値を保持し、その出力はデジタル乗算器11bにより係数 $d3$ ($d3 = 1 -$

a_2) が乗じられる。デジタル加算器10aは $Y1(z)$ とデジタル乗算器11aの出力との和を出力する。同様にデジタル加算器10bはデジタル加算器10aの出力とデジタル乗算器11bの出力との和を出力する。また最上位ビット抽出器5に混入する量子化雑音 $Q_d(z)$ を取り出され、デジタル乗算器11cが、 $Q_d(z)$ を第2のアナログ乗算器9bが有する係数 a_2 で乗じる。遅延器8dは、デジタル乗算器11cの出力を次のサンプリング時間まで保持する。デジタル加算器10cは、遅延器8dの出力とデジタル加算器10bの出力の和を出力する。デジタル加算器10dは、デジタル加算器10cの出力と、遅延器8dの出力をアナログ乗算器9aが有する係数 a_1 で乗じた値との和を出力する。遅延器8eは、遅延器8dの出力をさらに次のサンプリング時間まで保持し、デジタル加算器10eはデジタル加算器10dの出力と遅延器8eの出力との差を出力する。デジタル加算器10eの出力はデジタル演算部20の出力となり、AD変換器の出力となる。

【0078】ここで、 $Y1(z)$ における伝達関数を求めると次式31のようになる。

【0079】

$$\{1 + d2 z^{-1} + d3 z^{-2}\} Y1(z) = a_1 a_2 X(z) + (1 - z^{-1}) Q_a(z)$$

$$-a_2 z^{-1} \{ (1+a_1) - z^{-1} \} Q_d(z) \dots\dots\dots (31)$$

デジタル演算部の伝達関数は次式32で表される。 【0080】

$$Y(z) = (1+d_2 z^{-1} + d_3 z^{-2}) Y_1(z) + a_2 z^{-1} \{ (1+a_1) - z^{-1} \} Q_d(z) \dots\dots\dots (32)$$

式31と式32より、AD変換器の出力Y(z)は、次式33のようになる。 【0081】

$$Y(z) = a_1 a_2 X(z) + (1-z^{-1})^2 Q_a(z) \dots\dots\dots (33)$$

式33は式21と全く同じになり、図8に示す構成は第2の実施態様の同形となる。

【0082】図9は本発明の第5の実施形態であるマルチビットデルタシグマAD変換器の構成を表すブロック図である。このAD変換器は、図8の構成のアナログ加算器1b、アナログ積分器2b、アナログ乗算器9bに対して、さらにアナログ加算器1c、アナログ積分器2c、アナログ乗算器9cが継続している。さらにnビット量子化器4と、最上位ビット抽出器5とが継続する。遅延器8aが最上位ビット抽出器5の出力を次のサンプリング時間まで保持し、その出力は1ビットDA変換器6を介してアナログ加算器1a、1b、1cに送られる。nビット量子化器4の出力Y1(z)はデジタル演算部20の入力とする。

【0083】デジタル演算部20は以下の構成である。遅延器8bはY1(z)を次のサンプリング時間まで保持する。デジタル乗算器11aは遅延器8bの出力を係数d4 (d4 = a1 a2 a3 + a2 a3 + a3 - 3) で乗ずる。遅延器8cは遅延器8bの出力をさらに次のサンプリング時間まで値を保持する。デジタル乗算器11bは、遅延器8cの出力を係数d5 (d5 = 3 - a2 a3 - 2 a3) で乗じる。遅延器8dは遅延器8cの出力を、さらに次のサンプリング時間まで値を保持する。デジタル乗算器11cは遅延器8dの出力を係数d6 (d6 = a3 - 1) で乗じる。デジタル加算器10aはデジタル演算部20の入力Y1(z)とデジタル乗算器11aの和

$$(1+d_4 z^{-1} + d_5 z^{-2} + d_6 z^{-3}) Y_1(z) = a_1 a_2 a_3 X(z) + (1-z^{-1})^3 Q_a(z) - a_3 (d_7 z^{-1} - d_8 z^{-2} + z^{-3}) Q_d(z) \dots\dots\dots (34)$$

デジタル演算部20の伝達関数は次式35で表される。 【0087】

$$Y(z) = (1+d_4 z^{-1} + d_5 z^{-2} + d_6 z^{-3}) Y_1(z) + a_3 (d_7 z^{-1} - d_8 z^{-2} + z^{-3}) Q_d(z) \dots\dots\dots (35)$$

式34と式35より、AD変換器の出力Y(z)は式36のようになる。 【0088】

$$Y(z) = a_1 a_2 a_3 X(z) + (1-z^{-1})^3 Q_a(z) \dots\dots\dots (35)$$

式35は式26と全く同じになり、図9に示す構成は第3の実施形態の同形である。

【0089】以上のように、本発明では、マルチビットデルタシグマAD変換器において、マルチビット量子化手段のフルスケールにアナログ積分器の出力振幅を抑えるため、アナログ積分手段の出力信号を任意の定数倍で出力するアナログ乗算手段を設け、マルチビット量子化手段の出力を入力とし、アナログ乗算手段における任意

を出力する。デジタル加算器10bはデジタル加算器10aの出力とデジタル乗算器11bの出力の和を出力する。同様にデジタル加算器10cはデジタル加算器10bの出力とデジタル乗算器11cの出力との和を出力する。最上位ビット抽出器5で混入した量子化雑音Qd(z)はデジタル乗算器11dにより、第3アナログ乗算器9cが有する係数a3で乗じられる。遅延器8eはデジタル乗算器11dの出力を次のサンプリング時間まで保持し、その保持されたデータはデジタル乗算器11eにより次式に表す係数d7 (d7 = a1 a2 + a2 + 1) で乗じられる。また遅延器8fは、遅延器8eの出力をさらに次のサンプリング時間まで保持し、その保持されたデータはデジタル乗算器11fにより、係数d8 (d8 = a2 + 2) で乗じられる。

【0084】またデジタル加算器10dはデジタル加算器10cとデジタル乗算器11eとの和を出力する。同様にデジタル加算器10eはデジタル加算器10dの出力とデジタル乗算器11fとの差を出力する。最後にデジタル加算器10fはデジタル加算器10eの出力と遅延器8fの出力との和を出力する。デジタル加算器10fの出力はデジタル演算部20の出力となり、AD変換器の出力となる。

【0085】ここでY1(z)における伝達関数を求めると次式34のようになる。

【0086】

の定数を用いたデジタル演算手段を備え、完全なノイズシェーピングを実現する。また、上述の文献等が開示した構成に前記アナログ乗算手段における任意の定数を用いたデジタル処理手段を備え、最上位ビット抽出手段で混入したデジタル的な量子化雑音Qd(z)を取り出し、アナログ積分手段と同じ次数で微分した信号との差を出力することで完全にQd(z)を除去することができる。これにより、上記文献が開示した構成よりも高精

度な変換が可能になる。また、サンプリング周波数を上げたり、アナログ積分器の次数を高くすることなく、高精度化および広帯域化が可能になるとともに、アナログ素子数の少ないマルチビットデルタシグマAD変換器を実現することができる。

【0090】

【発明の効果】以上説明したように、この発明のマルチビットデルタシグマAD変換器によれば、 n ビット量子化器を用いることによって信号帯域内の量子化雑音を小さくすることができ、低オーバーサンプル比で高い変換精度を実現することができる。またアナログ積分器のゲイン係数によるノイズシェーピングの周波数特性の劣化を防ぐことができる。

【0091】また、実施の形態で示した構成では、 n ビット量子化器によってデジタル化されたデータを最上位ビット抽出器により、最上位ビットのみを帰還している。従って入力への帰還を本質的に非線形誤差のない1ビットDA変換器を用いて行うので、プロセス変動による影響を受けず、これに基づく精度劣化を生じない。また線形性を補償する回路も不要である。また1ビットDA変換器は単位キャパシタのみで実現できるので、アナログ回路面積が大きくなる。また最上位ビット抽出器で混入する大きな量子化雑音 $Q_d(z)$ は後段に設けられるデジタル微分器、あるいはデジタル演算部により除去でき、高い変換精度を実現できる。さらに後段に設けられたデジタル演算部で n ビット量子化器のフルスケール内に信号を減衰させる目的で設けられたアナログ積分器のゲイン係数を考慮した演算を行うことで $Q_d(z)$ を完全に除去することができ、より一層高い変換精度を実現できる。

【図面の簡単な説明】

【図1】本発明のマルチビットデルタシグマAD変換器の第1の実施態様を示す図。

【図2】第1の実施態様を実現する回路図。

【図3】第1の実施例における機能シミュレーションで得られた各部分の波形図。

【図4】第1の実施例における機能シミュレーションで得られたSN特性図。

【図5】本発明のマルチビットデルタシグマAD変換器の第2の実施態様を示す図。

【図6】本発明のマルチビットデルタシグマAD変換器の第3の実施態様を示す図。

【図7】本発明のマルチビットデルタシグマAD変換器

の第4の実施態様を示す図。

【図8】本発明のマルチビットデルタシグマAD変換器の第5の実施態様を示す図。

【図9】本発明のマルチビットデルタシグマAD変換器の第6の実施態様を示す図。

【図10】従来の1ビット量子化1次マルチビットデルタシグマAD変換器の構成図。

【図11】従来の1ビット量子化3次マルチビットデルタシグマAD変換器の構成図。

【図12】従来の1ビット量子化1次マルチビットデルタシグマAD変換器の構成図。

【図13】従来の1次マルチビットデルタシグマAD変換器の構成図。

【図14】図13の構成の同形を示す構成図。

【図15】従来の2次マルチビットデルタシグマAD変換器の構成図。

【図16】従来の3次マルチビットデルタシグマAD変換器の構成図。

【図17】図15の構成の同形を示す構成図。

【図18】図16の構成の同形を示す構成図。

【図19】図13に示す構成で4ビット量子化した場合における機能シミュレーションで得られた各部分の波形図。

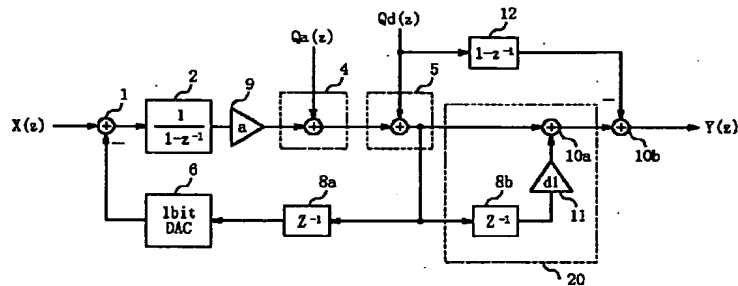
【図20】図14に示す構成にアナログ積分器出力を減衰するためにアナログ乗算器挿入した構成を示すブロック図。

【図21】図20に示す構成で4ビット量子化した場合における機能シミュレーションで得られた各部分の波形図。

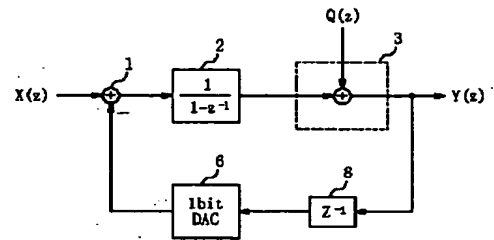
【符号の説明】

- 1a~1c アナログ加算器
- 2a~2c アナログ積分器
- 3 1ビット量子化器
- 4 n ビット量子化器
- 5 最上位ビット抽出器
- 6 1ビットDA変換器
- 7 n ビットDA変換器
- 8a~8g 遅延器
- 9、9a~9c アナログ乗算器
- 10、10a~10f デジタル加算器
- 11、11a~11f デジタル乗算器
- 12、12a~11c デジタル微分器
- 20 デジタル演算部

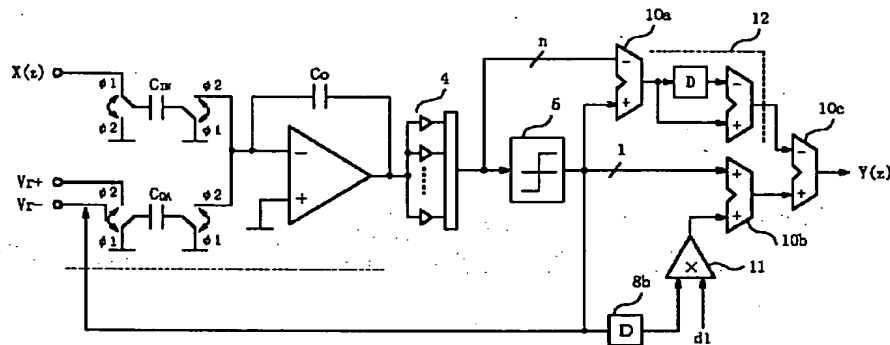
【図1】



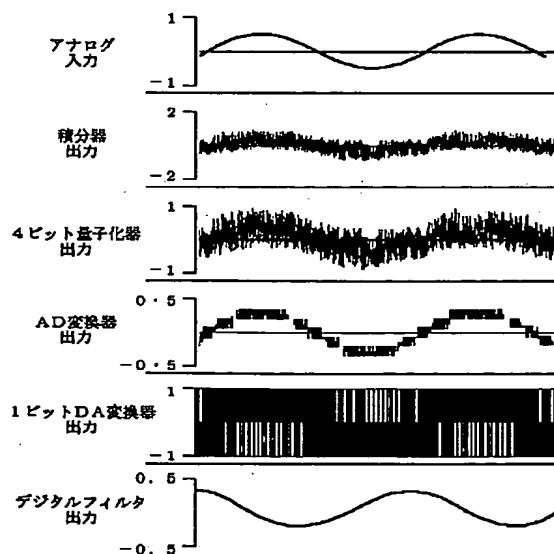
【図10】



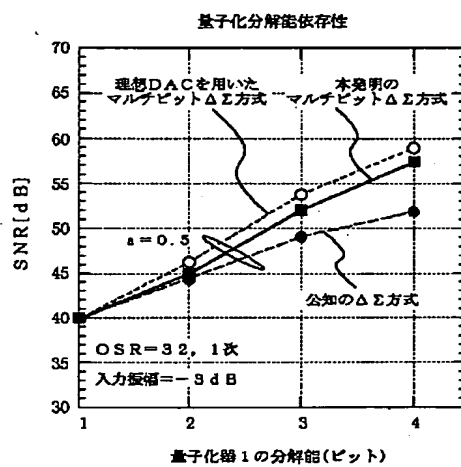
【図2】



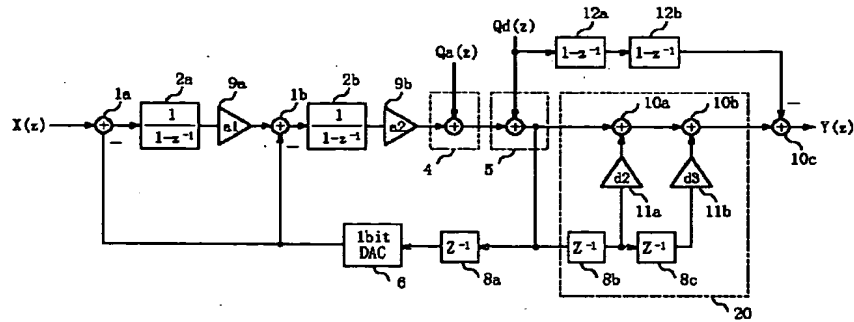
【図3】



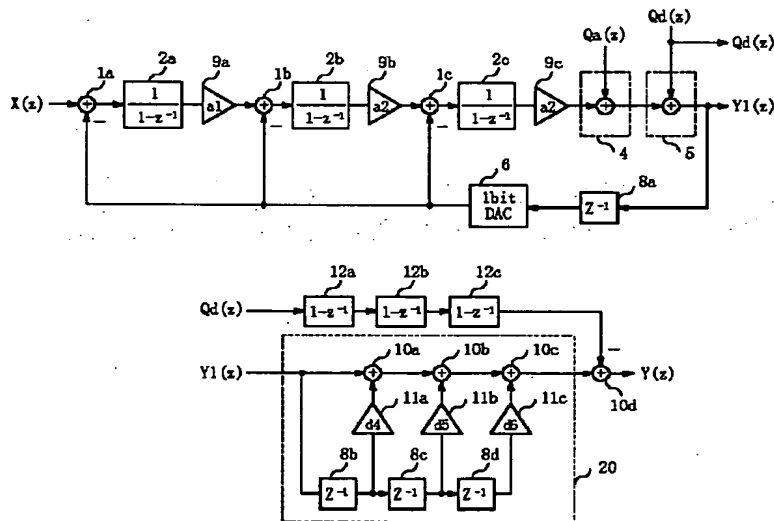
【図4】



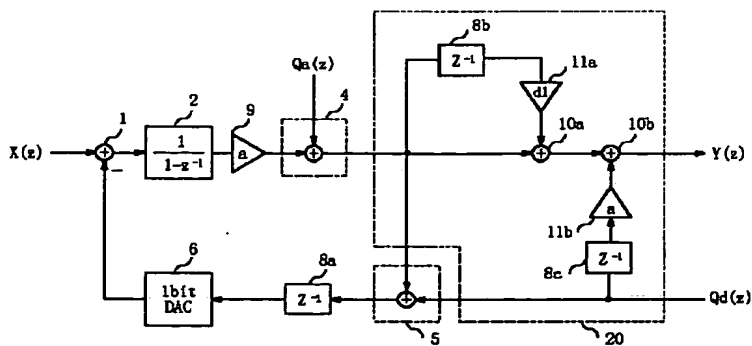
【図5】



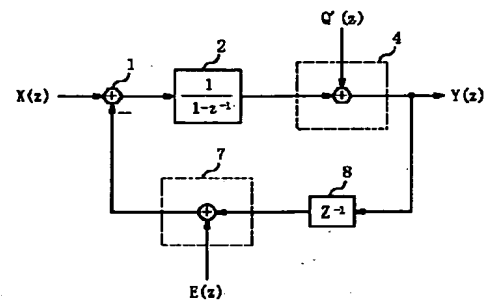
【図6】



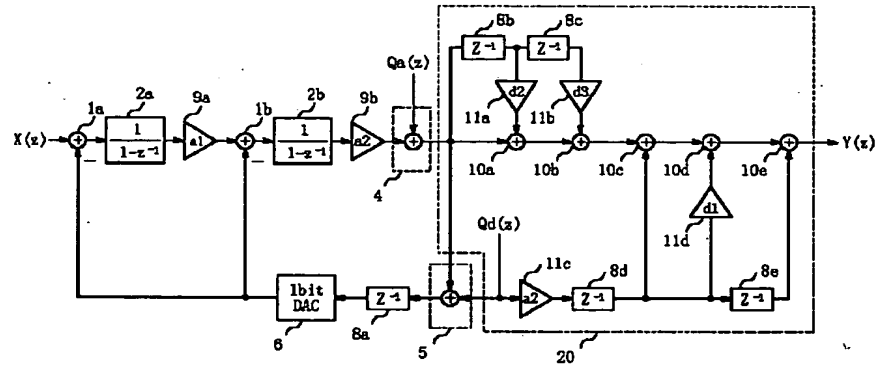
【図7】



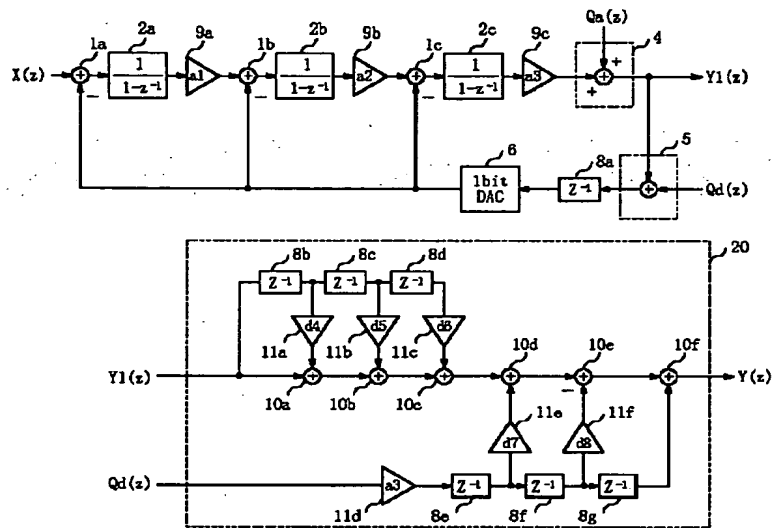
【図12】



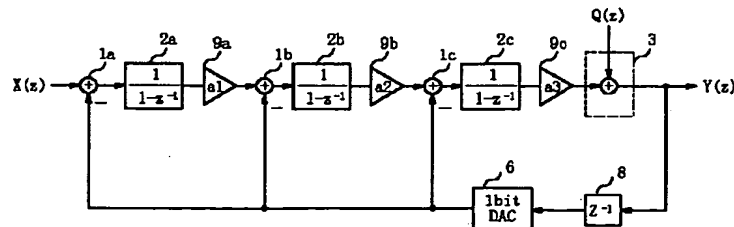
【図8】



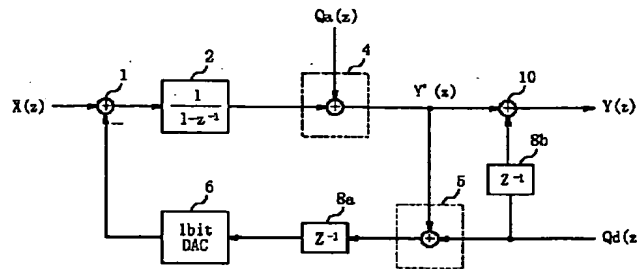
【図9】



【図11】



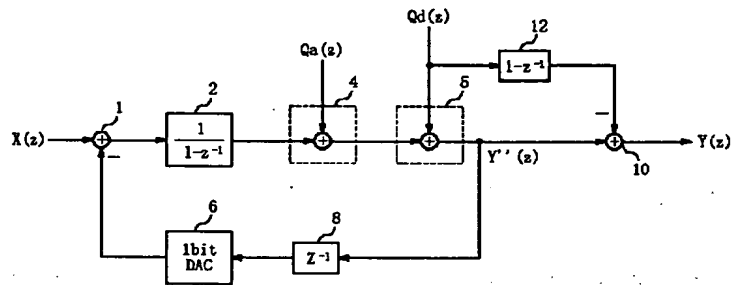
【図13】



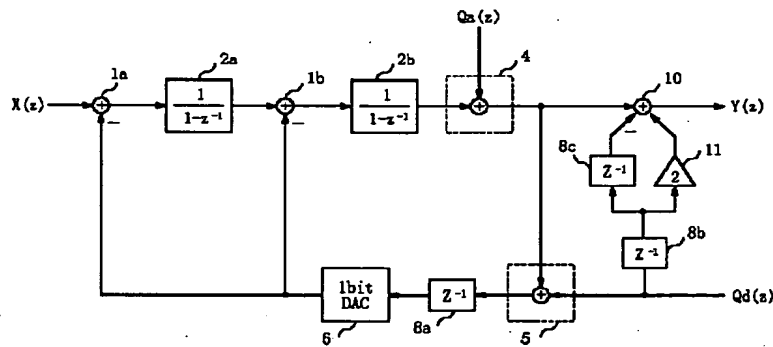
【図19】



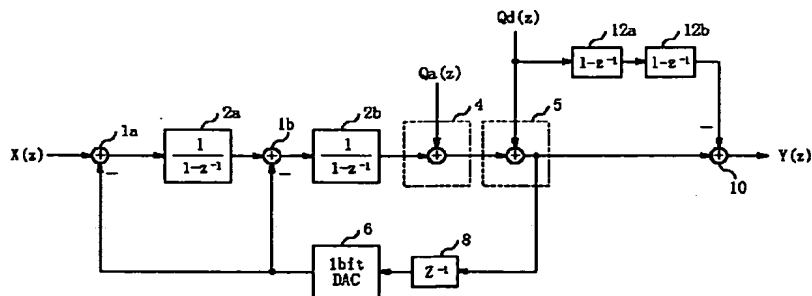
【図14】



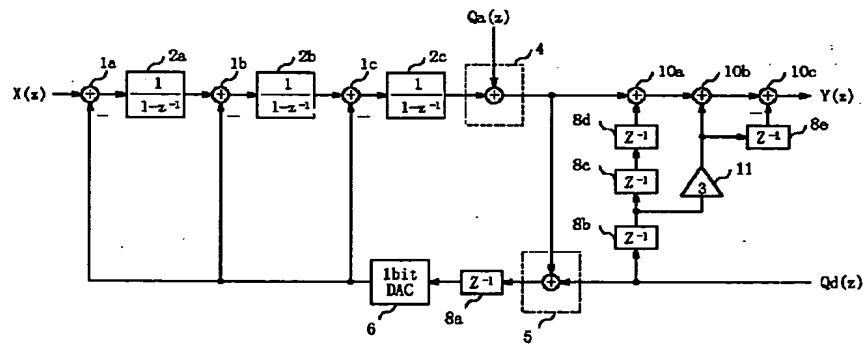
【図15】



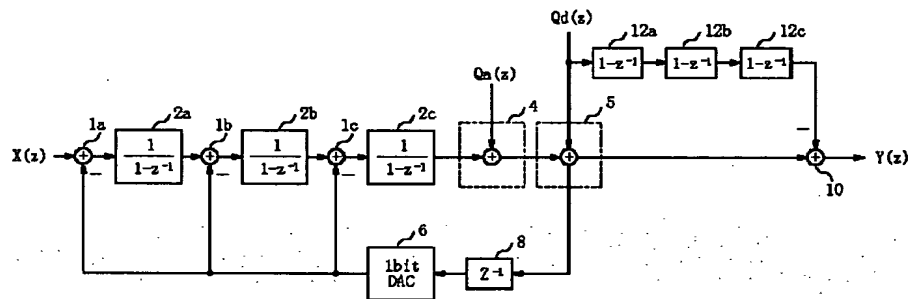
【図17】



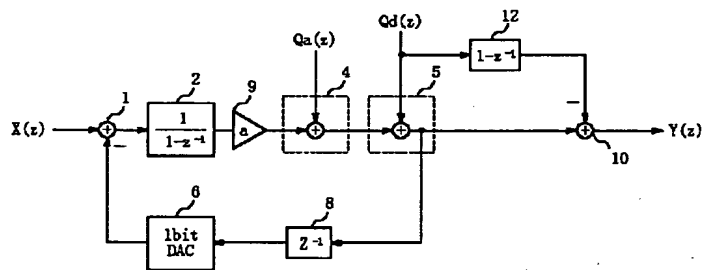
【図16】



【図18】



【図20】



【図21】

